

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-022272

(43)Date of publication of application : 21.01.1997

(51)Int.Cl.

G09G 3/28

(21)Application number : 07-169124

(71)Applicant :

OKI ELECTRIC IND CO LTD

(22)Date of filing : 05.07.1995

(72)Inventor :

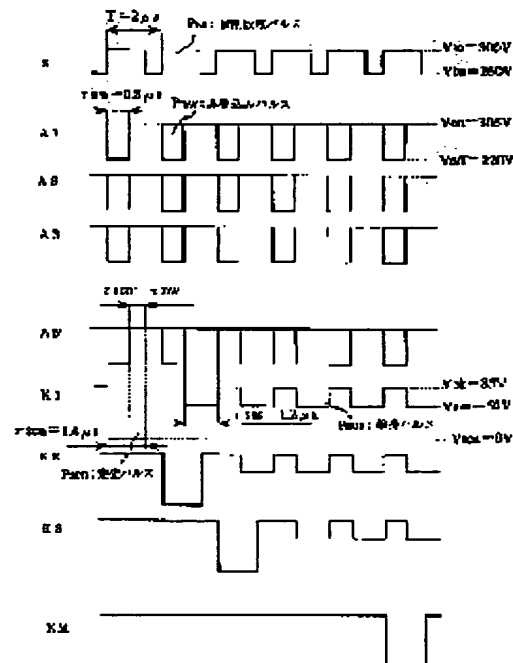
TAKAHASHI ATSUSHI
KOBAYASHI YOSHIHIKO
TERONAI YUUJI

(54) MEMORY DRIVING METHOD FOR DC TYPE GAS DISCHARGE PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To perform the display of high quality by stable discharge operation even when the driving having a short scanning cycle is required due to enlarging of the size of a display, etc.

SOLUTION: Writing discharge is formed by holding display anodes at ON level V_{on} being 'H' level at the time of impressing scanning pulses P_{scn} on cathode. When the writing discharge is not formed, writing pulse P_{nw} set so that a time ($t_{scn} - t_{nw}$) when a writing voltage is impressed is set so as to becomes shorter the statistical delay time of discharge startings when display cell in which a first discharge is formed, begins to appearing is impressed on display anode at the time of impressing P_{scn} on cathode. Sustaining discharge is formed with sustaining pulse P_{sus} which is impressed on cathode for a fixed time succeeding to P_{scn} and whose timing not overlap timing of P_{nw} .



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-22272

(43)公開日 平成9年(1997)1月21日

(51)Int.Cl.⁶

G 0 9 G 3/28

識別記号

庁内整理番号

4237-5H

F I

G 0 9 G 3/28

技術表示箇所

F

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21)出願番号 特願平7-169124

(22)出願日 平成7年(1995)7月5日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 高橋 敏

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 小林 芳彦

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 手呂内 雄二

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

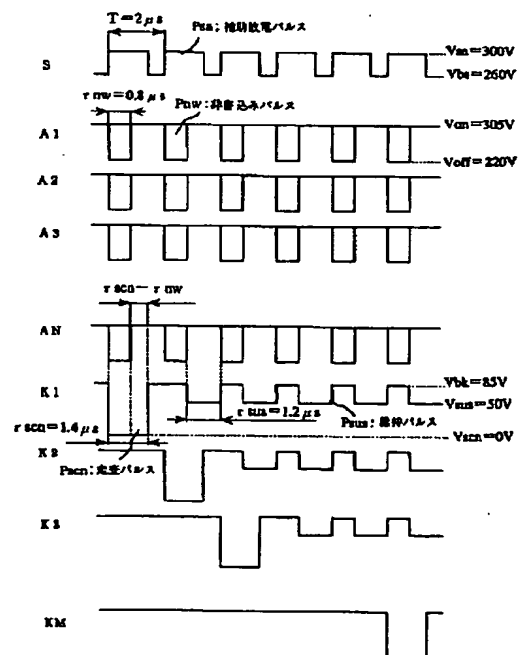
(74)代理人 弁理士 柿本 恭成

(54)【発明の名称】 直流型気体放電パネルのメモリ駆動方法

(57)【要約】

【目的】 ディスプレイの大型化等によって走査周期の短い駆動を要する場合でも、安定な放電動作によって高品質の表示を可能にする。

【構成】 書き込み放電を形成するときは、陰極に走査パルス P_{scn} を印加しているとき、表示陽極を“H”レベルであるオンレベル V_{on} に保持することで行う。書き込み放電を形成しないときは、陰極に P_{scn} を印加しているときに、書き込み電圧の印加される時間 ($\tau_{scn} - \tau_{nw}$) が、最初の書き込み放電が形成される表示セルが出現し始める放電開始の統計的遅れ時間よりも短くなるように設定した、8書き込みパルス P_{nw} を表示陽極に印加する。維持放電は、 P_{scn} に引続いて一定期間陰極に印加され、かつ P_{nw} とタイミングが重ならない維持パルス P_{sus} で形成する。



本発明の第1の実施例のメモリ駆動方法

【特許請求の範囲】

【請求項1】 配列された複数の線状の第1電極で構成された第1電極群と、放電ガスが封入され前記第1電極群と対向してそれらの第1電極群と直交するように配列された複数の線状の第2電極で構成された第2電極群と、前記各第1電極群及び第2電極群の交差箇所に設けられ、それらの各第1電極及び第2電極間の放電によってそれぞれ発光する複数の表示セルとを、備えた直流型気体放電パネルを用い、
前記各第2電極には、パルス幅 τ_{scn} の走査パルスを走査周期 T で順次印加すると共に、それらの各走査パルスに引続くパルス幅 τ_{sus} の維持パルス列を一定期間それぞれ印加し、前記第1電極群には、前記各表示セルに対する表示情報が非表示の場合のみ第1論理レベルで、他の期間はすべて第2論理レベルの2値信号であるパルス幅 τ_{nw} の非書き込みパルスを前記走査パルスに同期して印加する直流型気体放電パネルのメモリ駆動方法であって、
前記走査パルスに引続いて前記第2電極に印加する維持パルスは、前記非書き込みパルスとタイミングが重ならないようにし、前記第1電極に印加する前記非書き込みパルスのパルス幅 τ_{nw} は、前記第2電極に印加する前記走査パルスのパルス幅 τ_{scn} よりも短くして、 $\tau_{scn} + \tau_{sus} > T$ となるようにしたことを特徴とする直流型気体放電パネルのメモリ駆動方法。

【請求項2】 請求項1記載の直流型気体放電パネルのメモリ駆動方法において、
前記第1電極は表示陽極、前記第2電極は陰極、前記第1論理レベルは“L”レベル、及び前記第2論理レベルは“H”レベルとした直流型気体放電パネルのメモリ駆動方法。

【請求項3】 請求項2記載の直流型気体放電パネルのメモリ駆動方法において、
前記非書き込みパルスの立下がりとは前記走査パルスの立下がりとはほぼ同じタイミングとなるようにしたことを特徴とする直流型気体放電パネルのメモリ駆動方法。

【請求項4】 請求項2記載の直流型気体放電パネルのメモリ駆動方法において、
前記非書き込みパルスの立上がりとは前記走査パルスの立上がりとはほぼ同じタイミングとなるようにしたことを特徴とする直流型気体放電パネルのメモリ駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ハイビジョン画像等の大画面のために大型化し易い平板ディスプレイの1つである直流型気体放電パネル、例えば直流型プラズマディスプレイパネル（以下、DC-PDPという）のメモリ駆動方法に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、

例えば次のような文献に記載されるものがあつた。

文献1：信学技報、EID93-118（1994-1）電子情報通信学会、高野著「40型PDPのCPM駆動」P. 37-42

文献2：信学技報、EID90-99（1990）電子情報通信学会、大西等「33型放電パネルによるハイビジョン表示（その2）ハイビジョン表示用信号処理について」P. 79-84

文献1には、DC-PDPのメモリ駆動方法が記載されている。また、文献2には、パネルに形成される表示陽極を2分割してそれらを同時に走査することで、走査時間の短縮化を図ったDC-PDPの技術が記載されている。前記文献1に記載されているように、DC-PDPは本来メモリ機能を持たず、例えば、そのままでは大型化したときに輝度が低下してしまう。そこで、駆動法によってメモリ機能を持たせるのがパルスメモリ駆動法である。パルスメモリ駆動法の一つであるCPM（Cathode Pulse Memory）駆動法では、維持パルスを陰極側に加えることにより、波形を2値にして回路を簡略化すると共に、無効な電力の減少が図れる。

【0003】このようなDC-PDPのメモリ駆動回路の1つである従来のCPM駆動回路の構成図を図5に、そのCPM駆動方法の波形図を図6に示す。図5のCPM駆動回路において、複数の線状電極からなる表示陽極1と、該表示陽極1と平行に配列された複数の補助陽極2と、放電ガスが封入され表示陽極1と対向してそれらと直交するように配列された複数の線状電極からなる陰極3とを、備えている。各表示陽極1及び陰極3の交差箇所には、それらの各表示陽極1及び陰極3間の放電によってそれぞれ発光する複数の表示セル4が設けられている。また、各補助陽極2及び陰極3の交差箇所には、補助セル5がそれぞれ設けられている。陰極3には、陰極バイアス V_{bk} が印加される。表示陽極1には書き込みパルス P_w が、陰極3には走査パルス P_{scn} と維持パルス P_{sus} が、さらに補助陽極2には補助放電パルス P_{sa} が、それぞれ印加されるようになっている。

【0004】図6の波形図において、Sは補助陽極信号であり、この補助陽極信号Sの補助放電パルス P_{sa} の周期が T_H である。A1～ANは表示陽極信号であり、この書き込みパルス P_w のパルス幅が τ_w である。書き込みパルス P_w の周期は、補助放電パルス P_{sa} の周期 T_H と同一である。K1～KMは陽極信号であり、この走査パルス P_{scn} のパルス幅が τ_{scn} であり、その後の維持パルス P_{sus} のパルス幅が τ_{sus} である。図5及び図6に示すように、従来のメモリ駆動方法では、表示放電を形成するときは、表示陽極1に“H”レベルとなる書き込みパルス P_w を印加する。これと同時に、陰極3には、走査パルス P_{scn} を印加して書き込み放電を形成し、かつ引続いて一定期間、陰極3に維持パルス P_{sus} を印加し、表示セル4の放電をパルスの（断続的）に継続させる。こ

れに対し、表示セル4に対して表示放電を生成しないときは、陰極3に走査パルス P_{scn} が印加されている期間に書込みパルス P_w を供給せずに書込み放電を形成せず、この走査パルス P_{scn} に引続いて陰極3に印加される維持パルス P_{sus} では維持放電が形成されないようにしている。

【0005】

【発明が解決しようとする課題】しかしながら、従来のメモリ駆動方法では、例えば、ディスプレイの大型化によって表示陽極1及び陰極3等の本数が増え、その陰極3の走査速度を高速化することが必要となるが、そのために陰極1行の走査周期が短くなると、十分な書込み放電の時間と維持放電の時間を確保することが困難になる。その結果、安定な放電（即ち、正常な表示動作）が得られなかったり、仮に安定な放電が得られても、十分な輝度が得られないという問題があった。また、それら両者を同時に満足しようすると、回路規模が大きくなってコスト高になるといった問題が生じる。以下、これらの問題を図7及び図8を参照しつつ詳細に説明する。一般に、この種のDC-PDPのメモリ駆動において、表示セルの書込み放電確率特性が図7に示すようになっており、また、表示セルの維持放電確率特性が図8に示すようになっている。

【0006】図7に示すように、表示セルに対して放電可能な電圧が印加されてから放電が開始するまでには、遅れ時間がある。書込み放電の場合、 $0.8\mu s$ あたりから放電を始める表示セルが出現し始め（ $=\tau_d$ ）、約 $1.2\mu s$ 以降では、ほぼすべての表示セルが放電している。一方、図8に示すように、表示セルの維持放電の場合では、 $0.1\mu s$ あたりから放電を始める表示セルが出現し始め、 $0.6\mu s$ 以降ではほぼすべての表示セルが放電している。表示セルに対する書込み放電は、その表示セルにイオンや励起原子等を発生させることが目的の放電であり、上述の放電確率特性から、書込み放電時間は $1.2\mu s$ 以上必要である。一方、表示セルの維持放電は、この放電で所望の発光輝度を得るのが目的である。そのため、維持パルス P_{sus} のパルス幅 τ_{sus} は、表示セル毎の発光ばらつきが小さく（時間が短い場合、放電して間もない表示セルと最初に放電した表示セルとで発光輝度の差が大きい）、かつ十分な輝度を得るために、長い方が望ましい。例えば、表示セル間で放電時間の差を50%以下とするためには、 $1.1\mu s$ 以上必要である（時間 $0.1\mu s$ で放電開始した表示セルの放電時間は、 $1.1-0.1=1$ 、時間 $0.6\mu s$ で放電を開始した表示セルの放電時間は、 $1.1-0.6=0.5$ ）。

【0007】従来のメモリ駆動において、1行の走査周期を T_H 、走査パルス P_{scn} のパルス幅を τ_{scn} （＝書込みパルス P_w のパルス幅： τ_w ）、維持パルス P_{sus} のパルス幅を τ_{sus} とすると、 $T_H \geq \tau_{scn} + \tau_{sus}$ で

ある。従って、1行の走査周期 $T_H \geq 2.3 (= 1.2 + 1.1)\mu s$ となり、例えば、ディスプレイの大型化等によってこれ以上走査周期の短い駆動を要する場合、安定な放電動作が得られなかったり、十分な輝度が得られないといった問題があった。本発明は、前記従来技術が持っていた課題を解決し、短い走査周期でも安定なメモリ駆動ができ、高速の駆動においても高品質の表示が可能なDC-PDPのメモリ駆動方法を提供するものである。

【0008】

【課題を解決するための手段】第1及び第2の発明は、前記課題を解決するために、配列された複数の線状の第1電極（例えば、表示陽極）で構成された第1電極群と、放電ガスが封入され前記第1電極群と対向してそれらの第1電極群と直交するように配置された複数の線状の第2電極（例えば、陰極）で構成された第2電極群と、前記各第1電極群及び第2電極群の交差箇所に設けられ、それらの各第1電極及び第2電極間の放電によってそれぞれ発光する複数の表示セルとを、備えたDC-PDPを用い、前記各第2電極には、パルス幅 τ_{scn} の走査パルスを走査周期 T で順次印加すると共に、それらの各走査パルスに引続くパルス幅 τ_{sus} の維持パルス列を一定期間それぞれ印加し、前記第1電極群には、前記各表示セルに対する表示情報が非表示の場合のみ第1論理レベル（例えば、“L”レベル）で、他の期間はすべて第2論理レベル（例えば、“H”レベル）の2値信号であるパルス幅 τ_{nw} の非書込みパルスを前記走査パルスに同期して印加するDC-PDPのメモリ駆動方法であって、次のような手段を講じている。即ち、前記走査パルスに引続いて前記第2電極に印加する維持パルスは、前記非書込みパルスとタイミングが重ならないようにし、前記第1電極に印加する前記非書込みパルスのパルス幅 τ_{nw} は、前記第2電極に印加する前記走査パルスのパルス幅 τ_{scn} よりも短くして、 $\tau_{scn} + \tau_{sus} > T$ となるようにしている。第3の発明では、第2の発明において、非書込みパルスの立下がりと走査パルスの立下がりとはほぼ同じタイミングとなるようにし、また、第4の発明では、非書込みパルスの立上がりと走査パルスの立上がりとはほぼ同じタイミングとなるようにしている。

【0009】

【作用】第1～第4の発明によれば、第2の電極（例えば、陰極）に走査パルスを印加しているとき、第1の電極（例えば、表示陽極）をオンレベルの電位に保持することで、書込み放電を形成する。書込み放電を形成しないときは、第2電極に走査パルスを印加しているときに、例えば、書込み電圧の印加される時間が、最初の書込み放電が形成される表示セルが出現し始める放電開始の統計的遅れ時間よりも短くなるように設定した非書込みパルスを、第1電極に印加する。さらに、表示パルス

に引続いて一定期間第2電極に印加され、かつ非書込みパルスとタイミングが重ならない維持パルスにより、維持放電を形成する。

【0010】

【実施例】

第1の実施例

図2は本発明の実施例のメモリ駆動方法で駆動されるDC-PDPの概略の構成図、及び図3はその図2の要部の概略の構成図である。このDC-PDPの構造は、P
PM (Planar Pulse Memory) 型と呼ばれるもので、ガ
ラス板でできた前面パネル11と背面パネル12の内側
に、電極13、14、15や隔壁18等が厚膜印刷等で
形成され、その隔壁18で囲まれた表示用放電セルから
なる表示セル16の間に、溝状の補助放電セルからなる
補助セル17が設けられている。即ち、前面パネル11
の内側(即ち、下側)には、線状電極で構成された複数
の表示陽極13(=13₁~13_N)と、線状電極で構
成された複数の補助陽極14(=14₁~14_L)と
が、平行に形成されている。背面パネル12の内側(即
ち、上側)には、表示陽極13(=13₁~13_N)と
直交する方向に、線状電極で構成された複数の陰極15
(=15₁~15_M)が形成されている。表示陽極13
(=13₁~13_N)と陰極15(=15₁~15_M)
との各交点が、各々の表示セル16(=16₁₁~1
6_{MN})を構成し、さらに、補助陽極14(=14₁~1
4_L)と陰極15(=15₁~15_M)との各交点が、
各々の補助セル17(=17₁₁~17_{ML})を構成してい
る。各表示セル16は、隔壁18で他の表示セルと空間
的に隔てられているが、隣合う表示セル16と補助セル
17とは、プライミングスリット19を介して空間的に
結合している。

【0011】また、各表示セル16における表示陽極1
3の近傍には、蛍光体20が形成されている。前面パネ
ル11と背面パネル12との間には、放電ガス(例え
ば、ヘリウムとキセノンの混合ガス等)が封入され、表
示セル16で放電が形成されると、紫外線が放射され、
該表示セル16に設けられた蛍光体20に吸収され、可
視光が発せられるようになっている。このような構成の
DC-PDPに、この第1の実施例のメモリ駆動方法を
適用するときの動作を説明する。

【0012】図1は、本発明の第1の実施例を示すもの
で、メモリ機能を有する図2及び図3のDC-PDPの
メモリ駆動方法を説明するための波形図である。K1~
KMは、各陰極15(=15₁~15_M)に供給される
陰極信号である。この陰極信号は、各陰極15(=15
1~15_M)に2μs毎に順次印加される走査パルスP
scn(電位Vscn:パルス幅τscn)と、その走査パ
ルスPscnに引続いて一定期間与えられ、かつその走査パ
ルスPscnとは異なる位相のパルスである維持パルスP
sus(電位Vsus:パルス幅τsus)とで、構成されて

いる。走査パルスPscnと維持パルスPsusがない期間
の電位は、陰極バイアスVbkとなる信号である。A1~
ANは、各表示陽極13(=13₁~13_N)に供給さ
れる表示陽極信号である。この表示陽極信号は、書込み
放電を形成しないときのみ走査パルスPscnが印加され
ている期間のうちパルス幅τnwの時間だけオフレベルV
offで、他の期間がオンレベルVonである非書込みパ
ルスPnwからなる信号である。ここで、τnw<τscnであ
る。Sは、各補助陽極14(=14₁~14_L)に共通
に供給される補助陽極信号である。この補助陽極信号
は、走査パルスPscnが印加されている期間だけ電位が
Vsaで、他の期間は電位が補助バイアスの電位Vbsとな
る補助放電パルスPsaからなる信号である。

【0013】以下、図1の波形図を参照しつつ、この第
1の実施例のメモリ駆動方法について説明する。各陰極
15には、走査パルスPscn(例えば、パルス幅τscn
=1.4μs、電位Vscn=0V)が、例えば2μs毎
に順次印加される。また、印加される走査パルスPscn
の期間内に、各補助陽極14には書込み放電を形成しな
いときのみ、非書込みパルスPnw(例えば、パルス幅τ
nw=0.8μs、Voff=220V)を印加する。印加
するタイミングは、非書込みパルスPnwの立下がり、走
査パルスPscnの立下がりとはほぼ同一になるようにす
る。非書込みパルスPnwが印加されないときの表示陽極
信号A1~ANの電位Vonは、例えば305Vである。
走査パルスPscnに引続き各陰極15に印加される維持
パルスPsus(例えば、パルス幅τsus=1.2μs、
電位Vsus=50V)は、非書込みパルスPnwとはタイ
ミングが重ならないようにし、2μs周期毎に一定期間
印加される。走査パルスPscnと維持パルスPsusが各
陰極15に印加されるタイミング以外での陰極信号K1
~KMの電位は、例えば、Vbk=85Vの陰極バイアス
となっている。

【0014】各補助陽極14には、走査パルスPscnと
同一のタイミングで補助放電パルスPsa(例えば、パ
ルス幅τsa=1.4μs、Vsa=300V)が印加され
る。このタイミングで各補助セル17には、300V
(=Vsa-Vscn)が順次印加され、これらの補助セル
17での放電が走査パルスPscnと共に順次シフトして
いく。補助放電パルスPsa以外の期間では、補助陽極信
号Sの電位がVbs=260Vの補助バイアスとなってい
る。ある表示セル16mn(但し、1≤m≤M、1≤n
≤N)で書込み放電を形成するには、m行目の陰極15
mに走査パルスPscnが印加されているとき、n列目の
表示陽極13nをオンレベルVon=305Vに保持して
おく。このとき、表示セル16mnに隣接する補助セル
17から、イオンや励起原子等がプライミングスリット
19を通して表示セル16mnに拡散される。その結
果、この表示セル16mnでは、これらのイオンや励起
原子等が存在するために放電し易い状態となり(これ

を、「プライミング効果」という)、 $0.8\mu s (= \tau_d)$ 経過すると、放電が形成される表示セル16が出現し、 $1.2\mu s$ 経過で全表示セル16の書込み放電が達成される。

【0015】一方、ある表示セル16mnで書込み放電を形成しないようにするには、走査パルスPscnがm行目の陰極15mに印加される期間内に、n列目の表示陽極13nに非書込みパルスPnwを印加する。このとき、図1に示すように、表示セル16mnに書込み電圧が印加されてから書込み放電が形成され、該表示セル16mnが出現するまでには、 $0.8\mu s$ 程度の放電開始の統計的遅れ時間 τ_d がある。上述のように、非書込みパルスPnwが印加されると、走査パルスPscnの印加直後は、非書込みパルスPnwが $0.8\mu s$ 時間印加されている。このとき、表示セル16mnに印加される電圧は $220V (= V_{off} - V_{scn})$ なので、放電が形成されない。その後、表示陽極13nが $305V$ のオンレベル V_{on} となって表示セル16mnに $305V$ の書込み電圧が印加されても、その時間は $\tau_{scn} - \tau_{nw} = 0.6\mu s$ と放電開始の統計的遅れ時間 τ_d よりも短いため、書込み放電が形成されない。

【0016】ところで、気体放電は、放電によって生じたイオンや励起原子が放電停止後に漸減し、またこれらのイオンや励起原子等が存在すると、再放電し易いといった特性を有している。そのため、ある表示セル16mnで書込み放電が形成されると、走査パルスPscnに引続いて印加される維持パルスPsusにより、書込み放電電圧 $305V$ よりも小さい電圧 $255V (= V_{on} - V_{sus})$ であるにもかかわらず、放電を形成することができる。即ち、維持パルスPsusによって、パルスの(断続的)に放電を維持することができる。放電で発生した紫外線は、表示セル16mnの蛍光体20に吸収され、可視光が放射される。しかも、パルス幅 $\tau_{sus} = 1.2\mu s$ といった十分な維持パルス幅を確保しているので、安定な放電が得られ、さらに十分な輝度も得ることができる。表示セル16mnでの維持放電を停止するには、m行目の陰極15mへの維持パルスPsusの印加を停止すればよい。また、書込み放電が形成されない表示セル16では、その表示セル16内にイオンや励起原子等がほとんど存在しないため、走査パルスPscnに引続いて印加される維持パルスPsusでは、放電が形成されない。

【0017】以上のように、この第1の実施例のメモリ駆動方法では、次の(a)、(b)のような効果がある。

(a) この第1の実施例において、書込み放電を形成するときは、陰極15に走査パルスPscn(パルス幅 $= \tau_{scn}$ 、電位 $= V_{scn}$)を印加しているとき、表示陽極13を“H”レベルであるオンレベル V_{on} に保持することで行う(書込み電圧 $= V_{on} - V_{scn}$)。書込み放電を形成しないときは、陰極15に走査パルスPscnを印加

しているときに、書込み電圧の印加される時間($\tau_{scn} - \tau_{nw}$)が、最初の書込み放電が形成される表示セル16が出現し始める放電開始の統計的遅れ時間(τ_d)よりも短くなるように設定した、非書込みパルスPnw(パルス幅 $= \tau_{nw}$ 、電位 $= V_{off}$; $\tau_{scn} - \tau_{nw} < \tau_d$)を表示陽極13に印加する。また、維持放電は、前記走査パルスPscnに引続いて一定期間陰極15に印加され、かつ前記非書込みパルスPnwとタイミングが重ならない維持パルスPsus(パルス幅 $= \tau_{sus}$ 、電位 $= V_{sus}$)で形成するようにしている。これにより、書込み放電の時間(本実施例では、 τ_{scn})と維持パルス放電の時間(本実施例では、 τ_{sus})とを加算した時間を、維持パルスPsusの周期よりも長くできる。その結果、従来のメモリ駆動よりも短い走査周期でも、安定なメモリ駆動ができ、十分な書込み放電時間、及び維持放電時間を確保できる。従って、従来よりも高速のメモリ駆動においても、高品質の表示(高輝度で安定動作)が可能である。

【0018】(b) ディスプレイの大型化等によって走査線の本数が増えたときでも、集積回路(以下、ICという)等で構成される駆動回路の個数が、従来のメモリ駆動で必要であった個数の半分で駆動でき、低コストのDC-PPDを提供できる。以下、詳細に説明する。従来のメモリ駆動では、例えば、走査線が1000本程度のハイビジョン映像を表示する場合、前記文献2の第80頁の図3に記載されているように、表示陽極を、パネル上側のグループと下側のグループとで上下2つのグループに分けて駆動していた。これは、次のような理由によるものである。1画面を表示する時間(1フィールド)は、目にちらつきとして感じないように $16.6ms$ 程度(約60Hz)である。この1フィールドを、十分な階調表示を得るために8つのサブフィールドに分け、各サブフィールドにそれぞれ1、2、4、8、16、32、64、128の重付けをするサブフィールド法が採用されている。このとき、1つのサブフィールドは、約 $2.3ms$ となる。従来のメモリ駆動では、1行の走査周期は $4\mu s$ であり、この場合500本程度($2.3ms \div 4\mu s$)までしか駆動できない。1000本を駆動しようとするとき、1行の走査周期を $2\mu s$ 程度($2.3ms \div 1000$ 本)で駆動することになる。安定なメモリ放電動作を得るには、書込み放電の時間は、 $1.2\mu s$ 以上、また維持放電の時間は $1.1\mu s$ 以上必要である。従来のメモリ駆動では、1つの書込み放電の時間と1つの維持放電の時間とを加算した時間は、走査周期よりも長くできないので、安定放電が得られない。安定放電を得るには、十分な書込み放電時間と維持放電時間とが得られる1行の走査周期が $4\mu s$ である。そこで、前記文献2のメモリ駆動方法では、表示陽極をパネルの上下で2分割し(上側の走査線500本と下側の走査線500本に対応する)、上側と下側の走査線を同時に走査する

ことで、2msの間でも1000本を走査できる(2ms÷4μs×2=1000)。しかし、この場合、表示陽極を駆動する回路(駆動IC)が上側と下側で必要となる。これに対し、この第1の実施例では、走査周期が2μsであっても、書込み放電時間と維持放電時間とを十分にとることができるので、表示陽極13を駆動するICが従来の半分の個数で可能となり、低コストとなる。

【0019】第2の実施例

図4は、本発明の第2の実施例を示すDC-PDPにおけるメモリ駆動方法の波形図であり、第1の実施例を示す図1中の要素と共通の要素には共通の符号が付されている。第1の実施例の図1では、図3の表示陽極13

(=13₁～13_N)に印加する非書込みパルスP_{nw}を、その非書込みパルスP_{nw}の立下がり、と、図3の陰極15(=15₁～15_M)に印加する走査パルスP_{scn}の立下がり、とが、ほぼ同一のタイミングになる例について説明した。これに対し、この第2の実施例の図4では、非書込みパルスP_{nw}を印加するタイミングを、該非書込みパルスP_{nw}の立上がり、と、走査パルスP_{scn}の立上がり、とが、ほぼ同一のタイミングになるようにしている。このような非書込みパルスP_{nw}を表示陽極13(=13₁～13_N)に印加しても、第1の実施例と同様の作用、効果が得られる。

【0020】なお、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(i) 図2及び図3のDC-PDPでは、第1電極を表示陽極13(=13₁～13_N)、第2電極を陰極15(=15₁～15_M)、第1論理レベルを“L”レベル、及び第2論理レベルを“H”レベルとして図1及び図4のメモリ駆動方法について説明したが、これに代えて、第1電極を陰極15(=15₁～15_M)、第2電極を表示陽極13(=13₁～13_N)、第1論理レベルを“H”レベル、及び第2論理レベルを“L”レベルとしてメモリ駆動を行っても、上記実施例とほぼ同様の作用、効果が得られる。

(ii) 前記(i)のメモリ駆動方法や、上記実施例のメモリ駆動方法に適用されるDC-PDPの構造は、図2及び図3の構造のものに限定されず、図示以外の構造のものや、あるいは補助陽極14(=14₁～14_L)及び補助セル17(=17₁₁～17_{ML})を持たないDC-PDPについても、本発明の適用が可能である。

【0021】

【発明の効果】以上詳細に説明したように、第1及び第2の発明によれば、書込み放電の時間と維持パルス放電の時間とを加算した時間を、維持パルスの周期よりも長

くできる。そのため、従来のメモリ駆動方法よりも短い走査周期でも、安定なメモリ駆動ができ、十分な書込み放電時間及び放電維持時間を確保できる。その結果、従来よりも高速のメモリ駆動においても、高品質の表示(高輝度で安定動作)が可能である。さらに、ディスプレイの大型化等によって走査線の本数が増えたときでも、従来のものよりも少ない数の駆動回路でメモリ駆動が行え、それによって低コストのDC-PDPを実現できる。第3及び第4の発明によれば、非書込みパルスの立下がり、と走査パルスの立下がり、あるいは非書込みパルスの立上がり、と走査パルスの立上がり、とをほぼ同じタイミングとなるようにしたので、それらの非書込みパルスと走査パルスの制御が容易になると共に、表示セルの放電及び消去を的確に行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すメモリ駆動方法の波形図である。

【図2】本発明の実施例に適用されるDC-PDPの概略の構成図である。

【図3】図2のDC-PDPの要部の概略を示す構成図である。

【図4】本発明の第2の実施例を示すメモリ駆動方法の波形図である。

【図5】従来のCPM駆動回路の構成図である。

【図6】図5のCPM駆動回路を用いた従来のCPM駆動方法の波形図である。

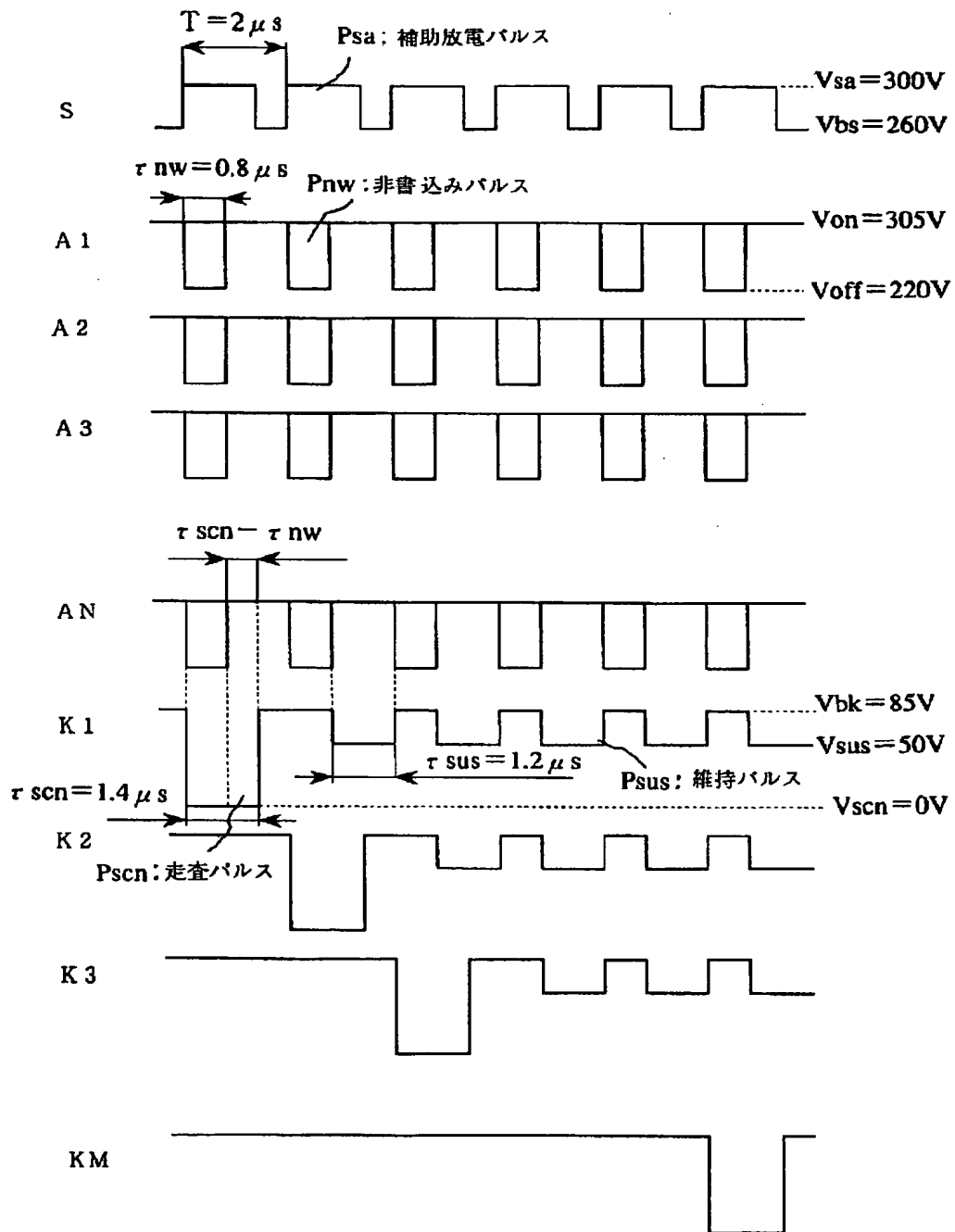
【図7】一般的な表示セルの書込み放電確率特性図である。

【図8】一般的な表示セルの維持放電確率特性図である。

【符号の説明】

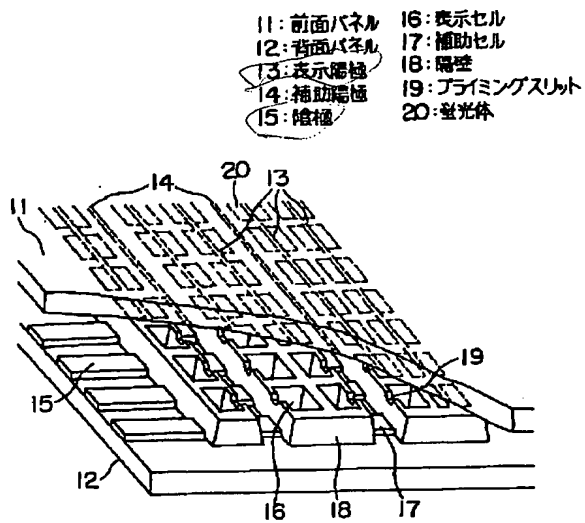
11	前面パネル
12	背面パネル
13 (=13 ₁ ～13 _N)	表示陽極
14 (=14 ₁ ～14 _L)	補助陽極
15 (=15 ₁ ～15 _M)	陰極
16 (=16 ₁₁ ～16 _{ML})	表示セル
17 (=17 ₁₁ ～17 _{ML})	補助セル
18	隔壁
19	プライミングスリット
20	蛍光体
P _{scn}	走査パルス
P _{sus}	維持パルス
P _{nw}	非書込みパルス
P _{sa}	補助放電パルス

【図1】



本発明の第1の実施例のメモリ駆動方法

【図2】



本発明の実施例のDC-PDP

【図3】

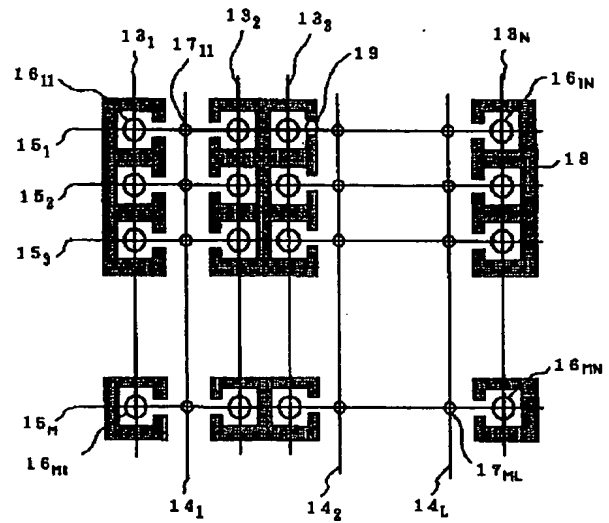
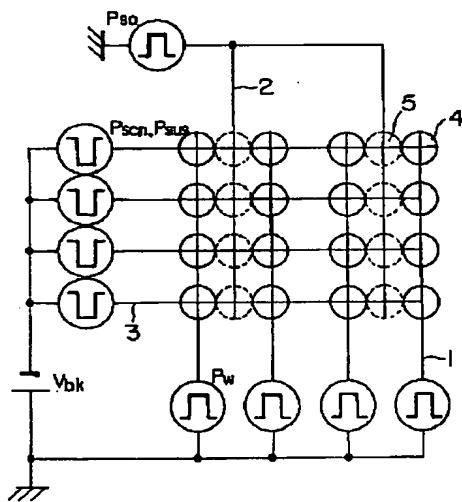


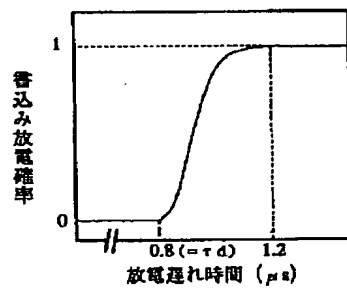
図2の要部の構成

【図5】



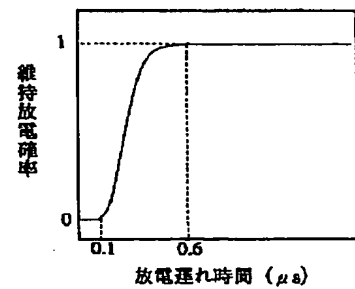
従来のCPM駆動回路

【図7】



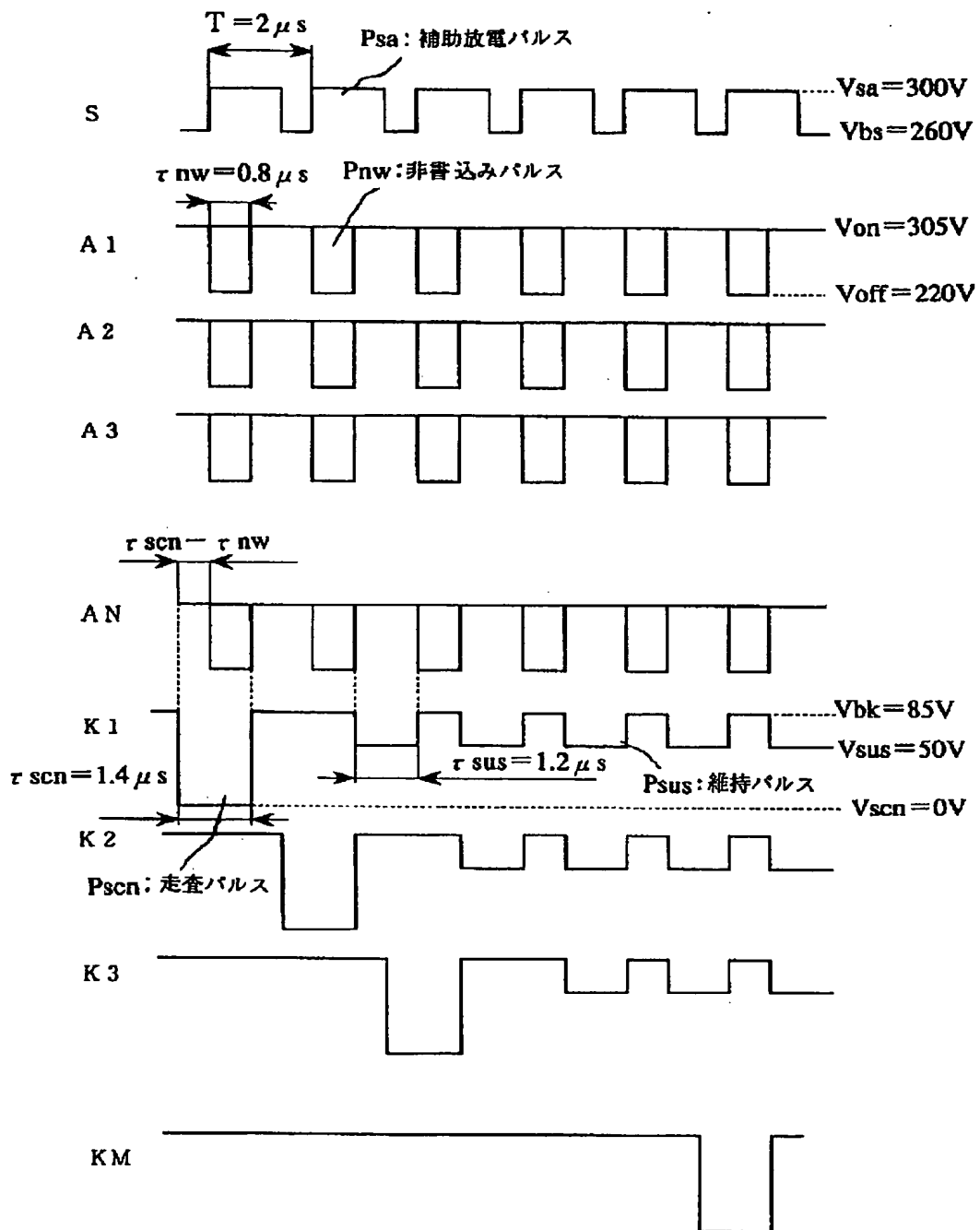
表示セルの蓄込み放電率特性

【図8】



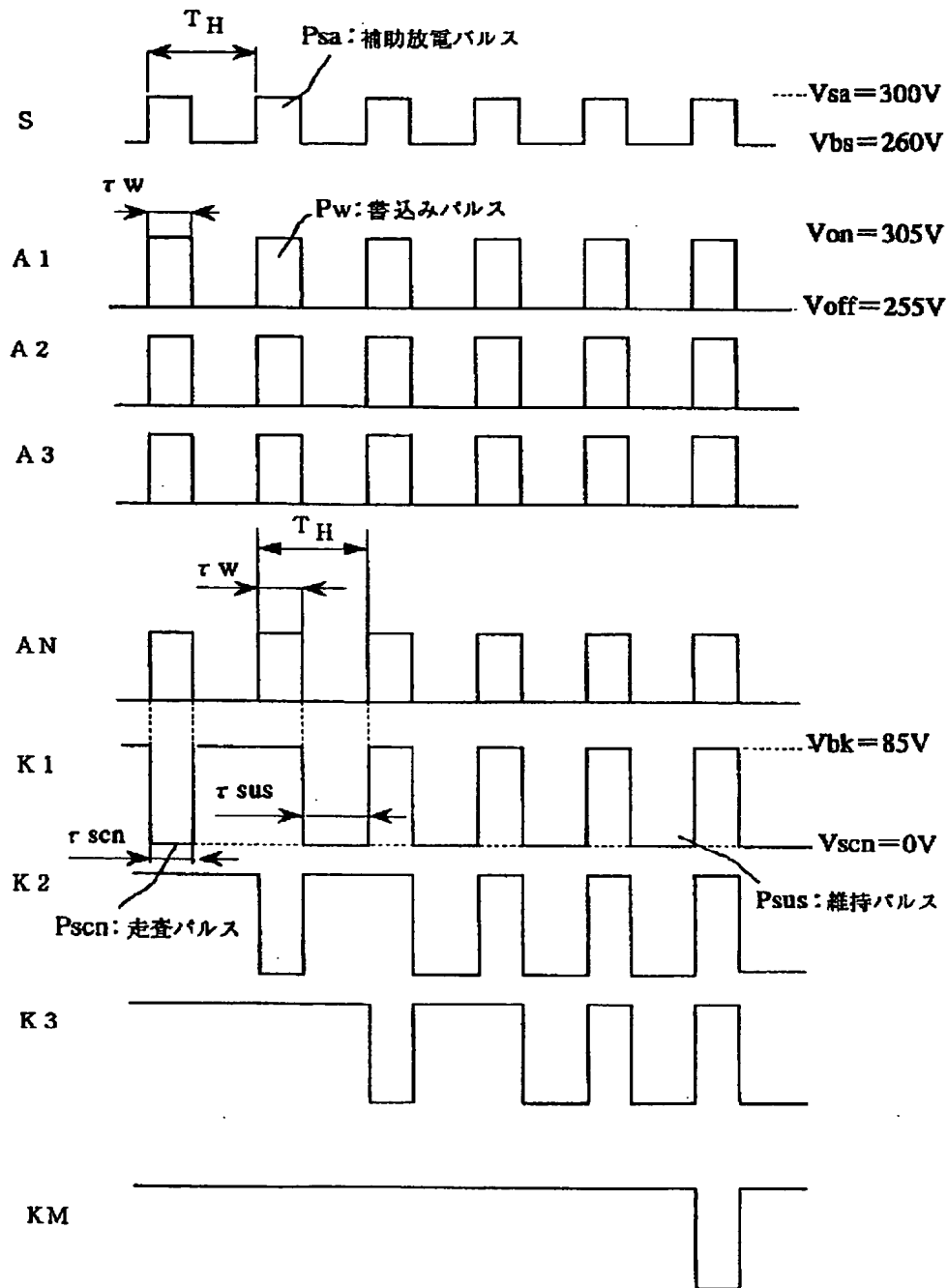
表示セルの維持放電率特性

【図4】



本発明の第2の実施例のメモリ駆動方法

【図6】



従来のCPM駆動方法